

PCT

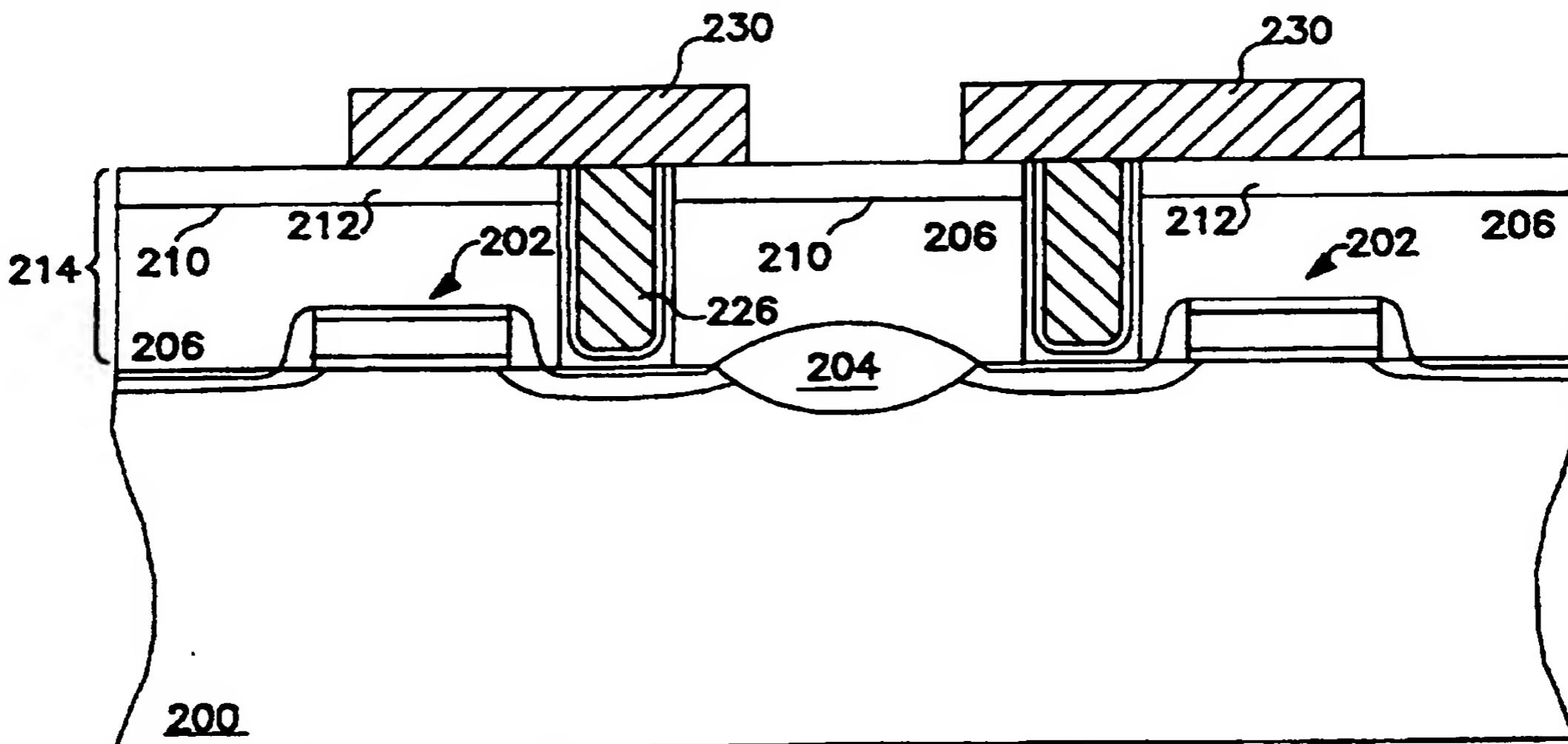
WORLD INTELLECTUAL PROPERTY ORGANIZATION  
International Bureau



INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification <sup>6</sup> :	A1	(11) International Publication Number: <b>WO 97/12393</b>
<b>H01L 21/44</b>		(43) International Publication Date: 3 April 1997 (03.04.97)
(21) International Application Number: PCT/US96/15201		(81) Designated States: AL, AM, AT, AT (Utility model), AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, CZ (Utility model), DE, DE (Utility model), DK, DK (Utility model), EE, EE (Utility model), ES, FI, FI (Utility model), GB, GE, HU, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SK (Utility model), TJ, TM, TR, TT, UA, UG, US, UZ, VN, ARIPO patent (KE, LS, MW, SD, SZ, UG), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).
(22) International Filing Date: 23 September 1996 (23.09.96)		
(30) Priority Data: 08/536,007 29 September 1995 (29.09.95) US		
(71) Applicant (for all designated States except US): INTEL CORPORATION [US/US]; 2200 Mission College Boulevard, Santa Clara, CA 95052 (US).		
(72) Inventors; and		
(75) Inventors/Applicants (for US only): BAI, Peng [CN/US]; 18746 S.W. Frank Court, Aloha, OR 97007 (US). CA-DIEN, Kenneth, C. [US/US]; 12900 N.W. Creekside Drive, Portland, OR 97229 (US). CHENG, Lie-Yea [US/US]; 211 Colorado Avenue, Palo Alto, CA 94301 (US). PRINCE, Matthew, J. [US/US]; 2143 N.W. Everett, Portland, OR 97210 (US).		
(74) Agents: BERNADICOU, Michael, A. et al.; Blakely, Sokoloff, Taylor & Zafman, 7th floor, 12400 Wilshire Boulevard, Los Angeles, CA 90025-1026 (US).		

(54) Title: CAPPED INTERLAYER DIELECTRIC FOR CHEMICAL MECHANICAL POLISHING



(57) Abstract

A method of forming a novel high density interconnection structure. According to the present invention, first an insulating layer (206) is formed over a semiconductor substrate. The first insulating layer is then planarized. Next, a second insulating layer (210) is formed above the first planarized insulating layer. An opening is then etched through the first and second insulating layers. A conductive material (226) is then deposited into the opening and onto the top surface of the second insulating layer. Next, the conductive material is polished back from the second insulating layer so as to form a conductively filled opening which is substantially planar with the second insulating layer.

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表平11-512877

(43)公表日 平成11年(1999)11月2日

(51)Int.Cl.<sup>6</sup>

H 01 L 21/28  
21/304  
21/768

識別記号

3 0 1  
6 2 2

F I

H 01 L 21/28  
21/304  
21/90

3 0 1 R  
6 2 2 X  
C

審査請求 未請求 予備審査請求 有 (全 28 頁)

(21)出願番号 特願平9-513527  
(86) (22)出願日 平成8年(1996)9月23日  
(85)翻訳文提出日 平成10年(1998)3月26日  
(86)国際出願番号 PCT/US96/15201  
(87)国際公開番号 WO97/12393  
(87)国際公開日 平成9年(1997)4月3日  
(31)優先権主張番号 08/536,007  
(32)優先日 1995年9月29日  
(33)優先権主張国 米国(US)

(71)出願人 インテル・コーポレーション  
アメリカ合衆国 95052 カリフォルニア  
州・サンタクララ・ミッション カレッジ  
ブーレバード・2200  
(72)発明者 バイ, ベン  
アメリカ合衆国・97007・オレゴン州・ア  
ロハ・サウスウェスト フランク コー  
ト・18746  
(72)発明者 カディアン, ケネス・シイ  
アメリカ合衆国・97229・オレゴン州・ボ  
ートランド・ノースウェスト クリークサ  
イド ドライブ・12900  
(74)代理人 弁理士 黒川 弘朗

最終頁に続く

(54)【発明の名称】 化学機械研磨のためのキャップされた中間層誘電体

(57)【要約】

新しい高密度相互接続構造を形成する方法である。本発明によれば、最初に半導体基板を覆って絶縁層(206)を形成する。次いで第1絶縁層を平坦化する。次に、平坦化した第1絶縁層の上に第2絶縁層(212)を形成する。次いで第1および第2絶縁層を通して開口をエッチングする。次いで、開口中および第2絶縁層の上部表面上に導電材料(226)を堆積させる。次に、第2絶縁層から導電材料をポリッシュバックして、第2絶縁層とほぼ平面になる導電性に充填した開口を形成する。

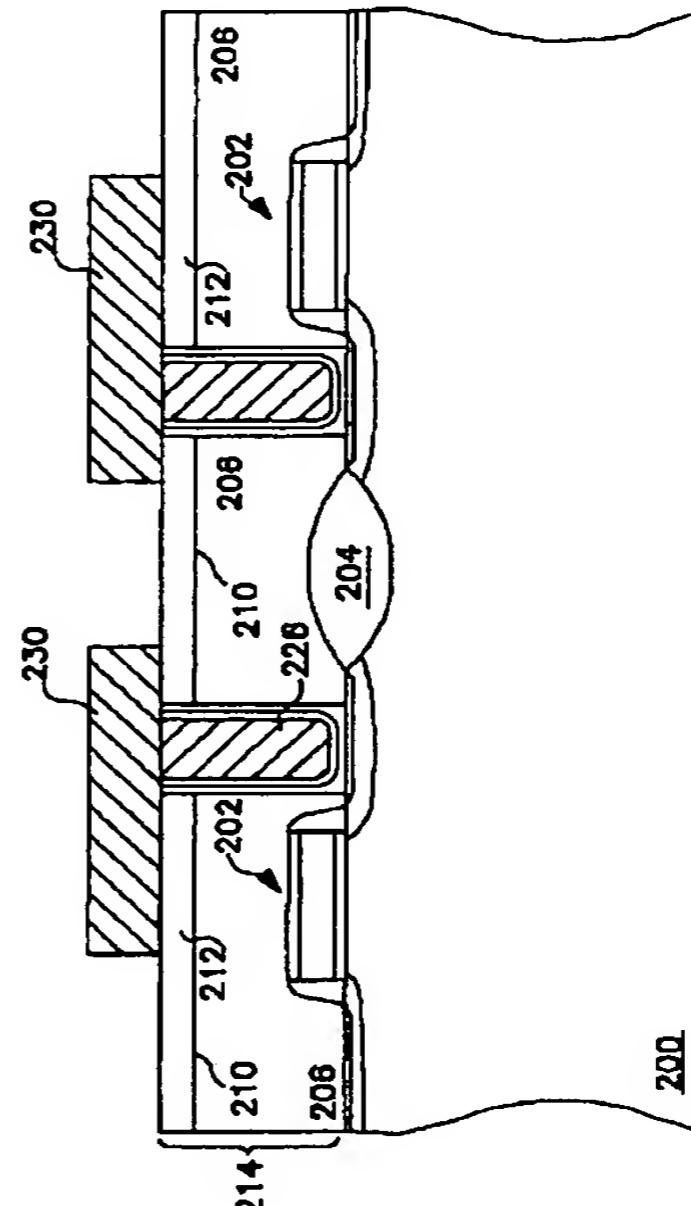


FIG. 2H

## 【特許請求の範囲】

1. 相互接続構造を形成する方法であって、  
第1絶縁層を形成する段階と、  
第1絶縁層を平坦化する段階と、  
平坦化した第1絶縁層の上に第2絶縁層を形成する段階と、  
第1および第2絶縁層中に開口を形成する段階と、  
開口中および第2絶縁層上に導電材料を堆積させる段階と、  
第2絶縁層よりも第1絶縁層の方が速く研磨される研磨プロセスを利用して、  
第2絶縁層から導電材料を研磨し、第2絶縁層とほぼ平面になる導電性の充填済  
み開口を形成する段階と  
を含む方法。  
2. 第2絶縁層がプラズマCVDによる層を含む請求項1に記載の方法。  
3. 第1絶縁層が、TEOSのソース気体を利用して常圧気相成長によって形成  
したBPSG層である請求項1に記載の方法。  
4. 第2絶縁層が、TEOSのソース気体を利用してプラズマ気相成長によって  
形成した未ドープの酸化物層を含む請求項1に記載の方法。  
5. 導電層がタンゲステンを含む請求項5に記載の方法。  
6. 第1絶縁層が常圧CVD酸化物層であり、第2絶縁層がプラズマCVD酸化  
物層である請求項1に記載の方法。  
7. 半導体基板上に相互接続構造を形成する方法であって、  
ホウ素およびリンを含む第1酸化物層を基板の上に形成する段階と、  
第1酸化物層を平坦化する段階と、  
平坦化した第1酸化物層上に酸化物層を形成する段階と、  
第1酸化物層および未ドープの酸化物層中に開口を形成する段階と、  
開口中に、及び未ドープの酸化物層を覆うタンゲステンを含む導電層を堆積さ  
せる段階と、  
導電層を研磨して未ドープの酸化物層から前記の導電層を除去し、それにより  
未ドープの酸化物層とほぼ平面になる充填済みの開口を形成する段階と

を含む方法。

8. 第1酸化物層が、TEOSのソース気体を利用する常圧気相成長によって形成される請求項7に記載の方法。

9. 未ドープの酸化物層が、TEOSのソース気体を利用するプラズマ気相成長によって形成される請求項7に記載の方法。

10. 未ドープの酸化物層を覆い、かつ充填済み開口を覆って相互接続を形成する段階をさらに含む請求項7に記載の方法。

11. 研磨段階で、第1酸化物層を第2酸化物層より速く研磨するスラリを利用する請求項7に記載の方法。

12. スラリが(?)を含む請求項11に記載の方法。

13. 第1酸化物層を平坦化する前に、N<sub>2</sub>雰囲気中で第1酸化物を急速熱処理して高密度化する段階をさらに含む請求項7に記載の方法。

14. 第1酸化物層が、化学機械研磨によって平坦化される請求項7に記載の方法。

15. 半導体基板上に形成された素子へのコンタクトを形成する方法であって、ホウ素およびリンを含み、TEOSソース気体を利用する常圧CVDによって形成される第1酸化物層を、基板上に、また前記素子を覆って形成する段階と、

第1酸化物層を化学機械研磨して平坦化した第1酸化物層を形成する段階と、

ほぼ未ドープであり、TEOSソース気体を利用するプラズマ気相成長によって形成されるキャップ酸化物層を平坦化した第1酸化物層上に堆積させる段階と

、  
キャップ層および平坦化した第1酸化物層を貫通して素子に達するコンタクト開口をエッチングする段階と、

タンクステンを含む導電性充填材料を、キャップ層上に、かつコンタクト開口中にブランケット堆積させる段階と、

キャップ酸化物層より第1酸化物層を速く研磨する化学機械研磨で導電性充填材料を研磨し、キャップ層から導電性充填材料を除去して充填済みのコンタクトを形成する段階と

を含む方法。

## 【発明の詳細な説明】

## 化学機械研磨のためのキャップされた中間層誘電体

発明の背景1. 発明の分野

本発明は半導体製造の分野に関し、さらに詳細には、集積回路における相互接続構造を形成する方法に関する。

2. 関連技術の考察

今日、集積回路は、シリコン基板またはウェル中またはその上に形成された文字通り数百万個の能動素子から作成される。最初に互いに分離されて形成された能動素子は後に互いに接続され、マイクロプロセッサなどの機能回路および構成部品となる。各素子は、周知の多重レベル相互接続を使用して互いに相互接続される。理想的な多重レベル相互接続構造100の断面図を第1図に示す。相互接続構造は通常、第1金属被覆層、相互接続層102（通常は3%以下の銅を含有するアルミニウム合金）、第2金属被覆層104、および時には第3またはさらに第4の金属被覆レベルを有する。二酸化ケイ素（SiO<sub>2</sub>）などの中間レベルの誘電体106（ILD）を使用して、シリコン基板またはウェル108上の異なるレベルの金属被覆を電気的に分離する。異なる相互接続レベル間の電気的接続は、ILD106中に形成した金属バイア110を使って行われる。同様にして、金属コンタクト112を使用して相互接続レベルとウェル108中に形成した素子との間の電気的接続を形成する。金属バイア110およびコンタクト112は、以下では総称して「バイアス」または「プラグ」と呼ぶが、これらは一般にタングステン114が充填され、一般にチタンなどの接着層116を利用する。

ULSI回路の現在好ましい中間レベルの誘電体薄膜は、常圧気相成長（CVD）により形成されるホウリンケイ酸ガラス（BPSG）薄膜である。常圧CVDによるBPSGは非常に均一に形成することができ、それにより半導体基板上

に能動素子を高密度に配置することにより生じるアスペクト比の高いギャップを充填することができるので好ましい。常圧BPSG層は、その中にボイドを生じ

させることなくアスペクト比の高いギャップを充填することができる。さらに常圧BPSG層は、プラズマ気相成長（PECVD）の機器などその他のILD機器と比較して、堆積用機械装置が比較的安価であるので好ましい。さらに、常圧BPSG層は比較的速く堆積させることができ、良好なウェハのスループットを見込むことができる。

ULSI中にプラグまたはバイア110および112を形成する現在好ましい方法は、化学機械研磨を利用するタンゲステン・プラグ・プロセスである。通常のタンゲステン・プラグ・プロセスでは、バイア・ホールを、ILDを貫通してその下に形成される相互接続線または半導体基板までエッチングする。次に、窒化チタンのような薄い接着層でILDを覆うか、またはバイア・ホール中に窒化チタンの薄層を形成する。次に、均一なタンゲステン薄膜を、接着層を覆って、またバイア中にブランケット堆積させる。この堆積段階は、バイア・ホールにタンゲステンが完全に充填されるまで続く。次に、ILDの表面の上部に形成された金属薄膜を化学機械研磨によって除去し、それにより金属のバイアまたはプラグを形成する。このようなプロセスは、その下に形成した高密度に詰めた能動素子への電気的接続を作成するために必要なアスペクト比の高いバイアを充填することができるので好ましい。

タンゲステン・プラグ・プロセスおよび常圧BPSGのILD層についての問題点は、これらが互いに両立しないことである。問題は、タンゲステンの研磨プロセスの選択性が、常圧BPSGのILD層に対して不十分であることである。したがって、タンゲステン層を研磨するときに、最初にタンゲステンを取り除く領域から相当量のILD層が除去される可能性がある。タンゲステン・プラグ・プロセス中にILDが失われ過ぎると、能動素子と第1レベルの金属被覆の間、または金属被覆のレベル間で短絡が生じる可能性がある。したがって、常圧BPSG層および化学機械タンゲステン・プラグ・プロセスを両方とも利用するこのプロセスは、信頼性が低く製造することはできない。

したがって、常圧BPSG層およびタンゲステン・プラグ・プロセスを併せて利用することができる相互接続方式が必要とされている。

### 発明の概要

本発明は、集積回路のための新しい相互接続構造を形成する方法を記述するものである。本発明によれば、常圧CVDにより形成したホウ素およびリンを含む第1酸化物層を、半導体基板を覆うように堆積させる。次いで第1酸化物層を化学機械研磨(CMP)し、平坦化した表面を形成する。次に、プラズマCVDによって形成した未ドープの第2酸化物層を、平坦化した第1酸化物層に堆積させる。次いで第1および第2酸化物層を通して開口をエッチングする。次いでタンゲステンを含む伝導層を、開口中に、また第2酸化物層の上に堆積させる。最後に、第2酸化物層から伝導層を研磨して除去し、第2酸化物層とほぼ平坦になる充填済みの開口を形成する。

### 図面の簡単な説明

第1図は、従来技術の相互接続構造を示す断面図である。

第2a図は、その上に複数の素子が形成された半導体基板を示す断面図である。

第2b図は、第2a図の基板上に第1中間層誘電体を形成する段階を示す、半導体基板の断面図である。

第2c図は、第2b図の基板上の第1中間層誘電体を平坦化する段階を示す断面図である。

第2d図は、第2c図の基板上に第2中間層誘電体を形成する段階を示す断面図である。

第2e図は、第2d図の基板中に開口を形成する段階を示す断面図である。

第2f図は、第2e図の基板上にバイア充填材料を形成する段階を示す断面図である。

第2g図は、第2f図の基板上のバイア充填材料を研磨して、充填済みのコンタクト開口を形成する段階を示す断面図である。

第2h図は、第2g図の基板上に金属被覆のレベルを形成する段階を示す断面図である。

### 発明の詳細な説明

本発明は、集積回路中の相互接続構造を製作する新しい方法を開示するものである。以下の記述では、本発明が完全に理解されるように、特定のプロセス段階、材料、寸法など多数の特定の詳細を記載する。ただし、これらの特定の詳細の範囲外で本発明を実施することができることは、当業者には明らかであろう。その他、不必要に本発明を分かりにくくしないように、周知の集積回路製造段階および機器については詳細には記載しない。

本発明は、集積回路の相互接続構造を形成する新しい方法である。本発明の好ましい実施形態によって、化学機械式研磨（C M P）を利用するタングステン・プラグ・プロセスとともに常圧気相成長によるB P S G層を利用して、製造可能な高密度相互接続構造を提供することができる。

本発明の好ましい実施形態によれば、半導体基板200を用意する。金属酸化膜半導体（M O S）トランジスタなどの素子202を半導体基板200中に形成する。M O S素子のソース、ドレイン、およびポリゲート上にセルフアライン・プロセスによってシリサイドを形成し、コンタクト抵抗および素子の性能を改善することが好ましい。能動素子は、最初はフィールド酸化物領域204によって互いに分離されている。M O Sトランジスタのみを示すが、基板200は完成したまたは部分的に完成したその他の能動および受動素子を含むことができる。その例としてはバイポーラ・トランジスタ、薄膜トランジスタ、コンデンサ、抵抗器などがあるが、これらに限定されるわけではない。さらに、半導体基板200は単結晶シリコン基板であることが好ましいが、基板200は、ヒ化ガリウムやゲルマニウムなどを含むがこれらに限定されないその他の半導体材料を含むこともでき、またエピタキシャル・シリコン層などの追加して堆積させた半導体材料を含むこともできる。

本発明による最初の段階は、第2b図に示すように、基板200およびその上に形成した素子202を覆うように中間層誘電体（I L D）206を形成する段階である。I L D 206は、素子202を機能回路に相互接続するために使用されるその後に形成する金属被覆から、これらの素子を電気的に分離するためのものである。I L D 206は、常圧気相成長（C V D）によって形成したホウ素・

リンケイ酸ガラス (BPSG) であることが好ましい。常圧BPSG層が好ましいのは、その下の形状に合わせて形成することができ、それにより隣接する素子202間の小さいギャップを内部にボイドを生じさせることなく充填することができるためである。ILD206は、テトラエチルオルトケイ酸塩 (TEOS) 、酸素 ( $O_2$ ) 、ホスフィン ( $PH_3$ ) およびジボラン ( $B_2H_6$ ) の化学作用を使用して、濃度にして約3%のホウ素および約6.3%のリンを含有する二酸化ケイ素 ( $SiO_2$ ) を生成する、WJ999 TEOSマシンでの常圧CVDによって形成することが好ましい。約18000Åの酸化物層が形成される。

次に、急速熱処理 (RTP) を使用してILD206を高密度化することが好ましい。ILD206を高密度化する目的の1つは、酸化物へのドーパントの混合を加速して酸化物を安定させることである。RTPプロセスを使用することにより、スチーム・フロー処理を省略することができる。スチーム・フロー処理の使用が望ましくないのは、それによってBPSG／シリサイドの界面に薄い酸化物が成長し、これが成長する間に相当部分のシリサイドが消費されるためである。N<sub>2</sub>雰囲気でRTPプロセスを利用して高密度化することにより、BPSG／シリサイドの界面で酸化物が成長せず、ソース・ドレインの接合深さのスケーリングがソース・ドレイン領域に形成されたシリサイドの厚さのスケーリングをともなうようにすることができる。高密度化にRTPを使用することにより熱バジエットが改善され、トランジスタの性能がスチーム炉ガラス・フロー・サイクルに勝るように改善される。さらに、RTPプロセスは、シリサイドのアグロメレーション (agglomeration) を防止するために875°C未満の温度で実施することが好ましい。すなわち、シリサイド203はそれより高い高密度化温度に耐えることができない。

第2b図に示すように、ILD206の上部表面208は、素子202および分離領域204が生み出すその下の形状により非平面的である。この非平面的な形状は、BPSG層206の均一に堆積される性質によるものである。さらに、非平面的な形状は、本発明ではスチーム・フロー処理を使用しないことが好ましいことによるものもある。スチーム・フロー段階は一般に、BPSG層の表面

形状を滑らかにする、すなわち平坦化する助けとなる。IDL206の上部表面は非平面であるので、これを第2c図に示すように平坦化する。IDL206は化学機械式研磨によって平坦化することが好ましいが、これは化学機械式研磨が、リフローおよびエッチバック・プロセスにともなう局所のみの平坦化とは異なり全体的な平坦化を生じさせるためである。IDL206は、18000Åから素子202を覆う約4500Å±1500Åまで研磨して、平面の表面210を形成することが好ましい。最初にILD206を非常に厚く形成することで、化学機械式研磨プロセスのための十分な量のマージンが形成される。

本発明の好ましい実施形態によれば、IDL206は、Westech 372Mポリッシャを使用して、水酸化カリウムおよび水の溶液 (KOH+H<sub>2</sub>O) 中にシリカを含むスラリを使用して化学機械式研磨を行う。ただし、任意の周知のCMPプロセスを使用してIDL206を平坦化することができることは理解されるであろう。

ILD206を全体的に平坦化することが望ましいのは、それにより、金属線の収縮およびプロセスで使用できる金属被覆層数の増加を可能にする、非常に平面的なILD表面210が形成されるためである。それぞれの上部に追加の相互接続層を積み重ねることにより、さらに凹凸のある形状が生じることは理解されるであろう。ILD206を平坦化するので、コンタクト/バイア開口および/または素地面の解像度が不十分である、金属のステップ・カバレッジが不十分である、エレクトロマイグレーション、金属スティングなど製作上の問題が、本発明では軽減される。さらに、化学機械平坦化を使用することで全体的な平面性が達成され、これにより例えば、金属の1面をさらに均一にし、その結果生じるILDの厚さを最小限に抑えることができる、非常に平面的なタングステン・プラグ研磨技術をその後に使用してコンタクト/バイアを充填することができるようになるなど、一連の好影響がもたらされる。

本発明によれば次に、第2d図に示すように、第2ILD層212をILD層206上に堆積させる。ILD212は、ILD206とは異なる誘電体材料で形成する。以下にさらに詳細に論じるように、ILD212は、その後のプラグ形成のための研磨段階中に、ILD206よりかなりゆっくりと(8×)研磨さ

れる。ILD212およびILD206はともに、その後の電気的接続を分離するため使用される合成ILD214を形成する。したがって、合成ILD214全体の最終的な厚さは、その後に形成される金属被覆を素子202から電気的に分離するのに十分な厚さでなければならない。ILD212は約2000Åと薄く形成され、ILD206の平坦化表面210上に形成されるので、合成誘電体214は、追加の平坦化を行わなくても、非常に平面的な上部表面215を呈する。

ILD206が常圧CVDにより堆積させたBPSG層を含む本発明の好ましい実施形態では、ILD212は、AMAT 5000堆積マシン中でTEOSおよびO<sub>2</sub>のソース気体を利用するプラズマ気相成長(PECVD)によって形成される、未ドープの酸化物層であることが好ましい。プラズマによる未ドープのTEOS酸化物層は、最新の高密度集積回路にともなうアスペクト比の高いギャップを充填するのに十分に等角に形成することができないことは理解されるであろう。しかし、PECVDによる未ドープの酸化物層214は、隣接する素子202間のアスペクト比の高いギャップを充填するために使用する平坦化したILD層206に平面キャップ層212を与えるのに十分に均一にむらなく形成することはできる。プラズマCVDプロセスの有利な特徴は、高密度の誘電体層を形成する点である。高密度の酸化物層は、ドープ済みの常圧で堆積させたCVD酸化物層などの低密度の酸化物層よりゆっくりと研磨される傾向がある。

次に第2e図に示すように、ILD206およびILD212を貫通して開口216を形成する。開口216はバイア／コンタクト開口を形成し、ILD206およびILD212を通してその下に形成された素子202への電気的接続を可能にする。開口216は、フレオンをベースとする化学薬品を使用するLAM Research 4500エッチング装置中の反応性イオン・エッチングなど、任意の周知の方法を使用して形成することができる。

本発明の目的は高密度の集積回路を製作することであるので、素子202を互いに密に詰めなければならず、これは、狭く(幅約0.4ミクロン)間隔の密なコンタクト／バイア開口216を形成することを必要とする。合成ILD216を素子202を分離するのに十分な厚さにしなければならず、狭い開口を形成す

ることが望ましいので、アスペクト比の高い（すなわち深くて狭い開口）を形成することが好ましい。アスペクト比の高いこのようない開口を充填する現在利用できる最良の方法は、プラグ技術である。

次に、第2f図に示すように、未ドープの酸化物層212を覆うと同時に、開口216中に、コンタクト充填材料218をブランケット堆積させる。好ましいコンタクト充填材料218はタンゲステンであるが、これは、非常に均一に形成することができ、アスペクト比の高い開口をその中にボイドを生じさせることなく充填することができるためである。バイアを充填するためにタンゲステン層を使用する際には、タンゲステンを堆積させる前に接着層を形成することが好ましい。接着層は、タンゲステンを合成ILDに接着する助けとなり、コンタクト抵抗を低下させ、良好なオーム接触を提供する。

本発明の好ましい実施形態によれば、チタン/窒化チタンの薄い合成接着層を使用する。最初に、周知の手段により、ILD212を覆って、また開口216の底部側壁に沿って約200Åのチタン層222をスパッタ堆積させる。次に、周知の手段により、チタン層222を覆って約600Åのチタン層224をスパッタ堆積させる。次に、タンゲステンの均一層220を形成するが、これはまず六フッ化タンゲステン(WF<sub>6</sub>)のシラン(SiH<sub>4</sub>)還元を使用するCVDによって初期シード層(約300Å)を形成し、その後WF<sub>6</sub>の水素(H<sub>2</sub>)還元を使用するCVDによってタンゲステン層の大部分(約4500Å)を形成する。このように、本発明の好ましい実施形態によれば、コンタクト充填材料218は、チタン、窒化チタン、およびタンゲステンを含む3層金属を含むことが好ましい。その他のコンタクト充填材料および材料の組合せを使用して開口216を充填することができることは理解されるであろう。

次に第2g図に示すように、コンタクト充填材料218を化学機械研磨によりILD212の上部表面からコンタクト充填材料218を除去し、それによりILD214の上部表面とほぼ平面になる充填済みの開口またはプラグ226を形成する。コンタクト充填材料がタンゲステンである場合には、タンゲステン層は、0.01ないし0.3モルのフェリシアン化カリウム(K<sub>3</sub>Fe(CN<sub>6</sub>))、および重量で1ないし25%のシリカを含む化学薬品を使用して、化学機械研磨

することが好ましい。タングステン・スラリを水で希釈したもの（9：1）を使用して、窒化チタン接着層224を研磨することができる。さらに、約0.5モルのフッ化カリウムおよび重量で約0.5%のシリカを含むスラリを使用して、ILD212からチタン接着層222を研磨することが好ましい。上記に指定したスラリが本発明で好ましいのは、タングステン層220と接着層222および224とを均一にむらなく研磨し、プラグ226をILD212より下にそれほど窪ませることなく、あるいはプラグ226の「エッチアウト」を引き起こすことなく、プラグ226を形成することが可能になるためである。上記に指定したスラリを利用してタングステン、窒化チタン、およびチタン薄膜を研磨する方法ならびにスラリについての詳細は、参照により本明細書に組み込まれる、本発明の譲受人に譲渡された米国特許第5340370号に完全に記載されている。

本発明の重要な態様は、プラグ研磨プロセスをILDキャップ層212に対して選択的にすることに関するものである。すなわち、コンタクト充填材料218よりかなり遅い速度でILDキャップ層212が研磨されることが重要である。このようにして、基板200に存在する不均一な、最初にコンタクト材料が取り除かれILD212が現れた領域では研磨は停止する（少なくとも研磨は妨げられる）が、コンタクト充填材料が依然として存在するその他の領域は引き続き研磨されることになる。キャップ層212により、本発明では「過剰研磨」を利用して、ILD214の局所領域を研磨により著しく除去することなく、基板200全体にわたってコンタクト充填材料218を確実にほぼ完全に除去することができる。このようにして、過剰研磨によりILDが過剰に失われる心配なしに、プラグ研磨プロセスを信頼して利用することができる。高い研磨率で研磨される、すなわち薄い層が形成される基板200の一部領域上では、プラグ形成中にキャップ層212を研磨により完全に除去することができることに留意されたい。キャップ層212は、研磨プロセスを十分に妨げるだけの選択性を与え、信頼性の高い相互接続を製作するのに十分なILDを保存しなければならない。本発明の好ましい実施形態では、タングステン研磨プロセスは、約32：1のタングステン対PECVD酸化物の選択性を示す。ILDキャップ層212を使用することにより、本発明の相互接続プロセスは製造可能になり信頼性が高まる。

本明細書に与える研磨率および選択性はウェハ全体にブランケット堆積させた薄膜を研磨することにより算出したものであることに留意されたい。基板上的一部分の選択性は、プラグ研磨中に起こる「ディッシング」効果によってさらに低くなることになる。「ディッシング」は、高密度に配置したコンタクト間のILDの方が、低密度に配置したコンタクト間のILDよりもはるかに速く研磨されることによるものである。したがって、「ディッシング」により、コンタクトが高密度である領域での研磨の選択性は大幅に低下する。したがって、キャップ層212が、どのような「ディッシング」効果でも無効にするのに十分な選択性を提供することを保証するように留意されたい。

本発明の好ましい実施形態では、ILDキャップ層212は、プラズマCVDによって形成する未ドープの酸化物層である。プラズマCVDプロセスでは、高密度の酸化物層が生成される。一方、常圧CVDプロセスでは、大幅に密度の低い酸化物層が生成される。さらに、ドープ済みの酸化物層は、未ドープの酸化物層より密度が低くなる傾向がある。高密度の酸化物層は、一般に低密度の酸化物層よりゆっくりと研磨される。本発明の好ましい実施形態では、未ドープのPECVD酸化物キャップ層212は、タンゲステン・プラグ研磨中には、合成ILD214の大部分に使用されるドープ済みの常圧CVD酸化物層206の約8分の1の速度で研磨される。

したがって、ドープ済みの常圧CVD酸化物層206上に未ドープのPECVD酸化物キャップ層212を配置することにより、ドープ済みの常圧CVD酸化物層しか利用しない場合よりも、タンゲステン・プラグ研磨プロセスは合成ILD214に対してはるかに選択性が高くなる。常圧BPSG層は、タンゲステン研磨プロセスと両立しないが、素子202を高密度に配置することにより生じるアスペクト比の小さいギャップを充填する必要があることは理解されるであろう。さらに、常圧CVDにより形成したBPSG層の方が、必要とする機械装置が安価であり、より速く形成することができる（すなわちより良好なウェハのスループットを提供する）ので、PECVD酸化物よりもはるかに経済的である。薄い未ドープのPECVD酸化物キャップ層212を使用することにより、低密度の、アスペクト比の高い充填用の常圧CVDによるBPSG層を、タンゲステン

・プ

ラグ・プロセスで使用することが可能になる。

常圧CVDによるBPSG層およびタンゲステン・プラグ・プロセスは、両方とも最新の超高密度集積回路を製作するために必要であることは理解されるであろう。常圧BPSG層は、素子202を高密度に配置することにより生じるアスペクト比の高いギャップを充填するために使用し、タンゲステン・プラグは、高密度に配置した素子202に接触するために必要なアスペクト比の高いコンタクト開口を充填するために使用する。

次に第2h図に示すように、ILDキャップ層212上に、プラグ226による電気的接触を覆う金属相互接続を形成する。相互接続230は、ILD212およびプラグ226を覆うアルミニウム層（および必要なら接着層）をブランケット堆積させ、その後周知のフォトリソグラフィ技術を利用して個別の素地面230中へアルミニウム層をエッチングするなど、任意の周知の手段によって形成することができる。これで、本発明の相互接続構造は完成する。

第2h図から明らかに分かるように、非常に平面的な高密度相互接続構造が製作される。プラグ226がILD214とほぼ平面になるので、平面的な相互接続層230が形成される。必要なら、本発明を利用して追加の相互接続およびバリア／コンタクト層を形成することができることは理解されるであろう。本発明の相互接続方式が非常に平面的な性質を有し、金属被覆層をほとんど無制限に製作することができるので、ULSI回路で必要とされるものなど、半導体基板に形成される多数の分離した素子を相互接続することができる。さらに、タンゲステン・プラグ・プロセスに対するILDの選択性を高めるために常圧CVDによるBPSG層を覆ってPECVD酸化物キャップ層を形成するという、好ましい実施形態に関連して本発明について記述したが、本発明の概念はその他の半導体プロセスに適用することもできるものと予想される。すなわち、本発明は一般に、1材料を研磨して第2材料中の開口を充填するために化学機械研磨（CMP）を利用するいかなるプロセス、および健全なプロセスを行うにはその研磨プロセスの選択性が第2材料に対して不十分であるどのようなプロセスにも適用するこ

とができる。このような場合には、適当なキャップ層を形成して研磨プロセスの選択性を高め、信頼性の高いプロセスを提供する。例えば、本発明を使用して、そ

の中に開口が形成されたILDを覆ってアルミニウム層をブランケット堆積させ、その後アルミニウム層を研磨して金属相互接続を形成することにより、相互接続230などの相互接続を形成することができる。さらに本発明は、分離用トレンチの充填またはコンデンサの形成に使用するCMPプロセスの選択性を高めるために使用することもできる。

前述の明細では、特定の例示的な実施形態に関連して本発明について記述した。しかし、本発明のさらに広範な趣旨および範囲から逸脱することなく、様々な修正および変更を本発明に加えることは明らかであろう。本発明は本明細書に記載した特定の寸法、材料、およびスラリに限定されないものと期待される。したがって、本明細書および図面は、限定的なものではなく例示的なものと見なすべきものである。

以上のように、タングステン・プラグ化学機械研磨プロセスとともにBPSG層を使用することを可能にする方法および構造について記載した。

【図1】

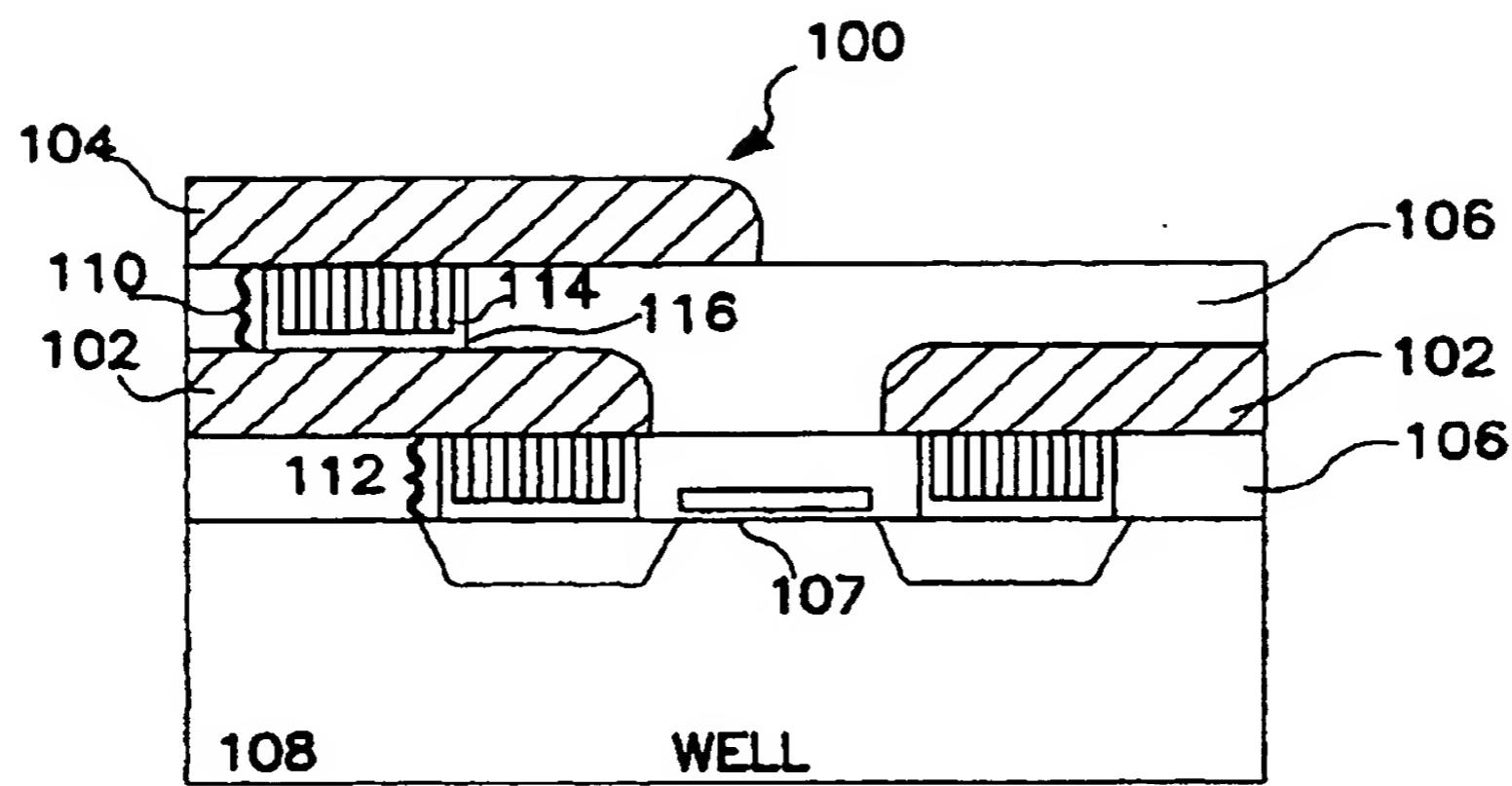


FIG. I  
PRIOR ART

【図2】

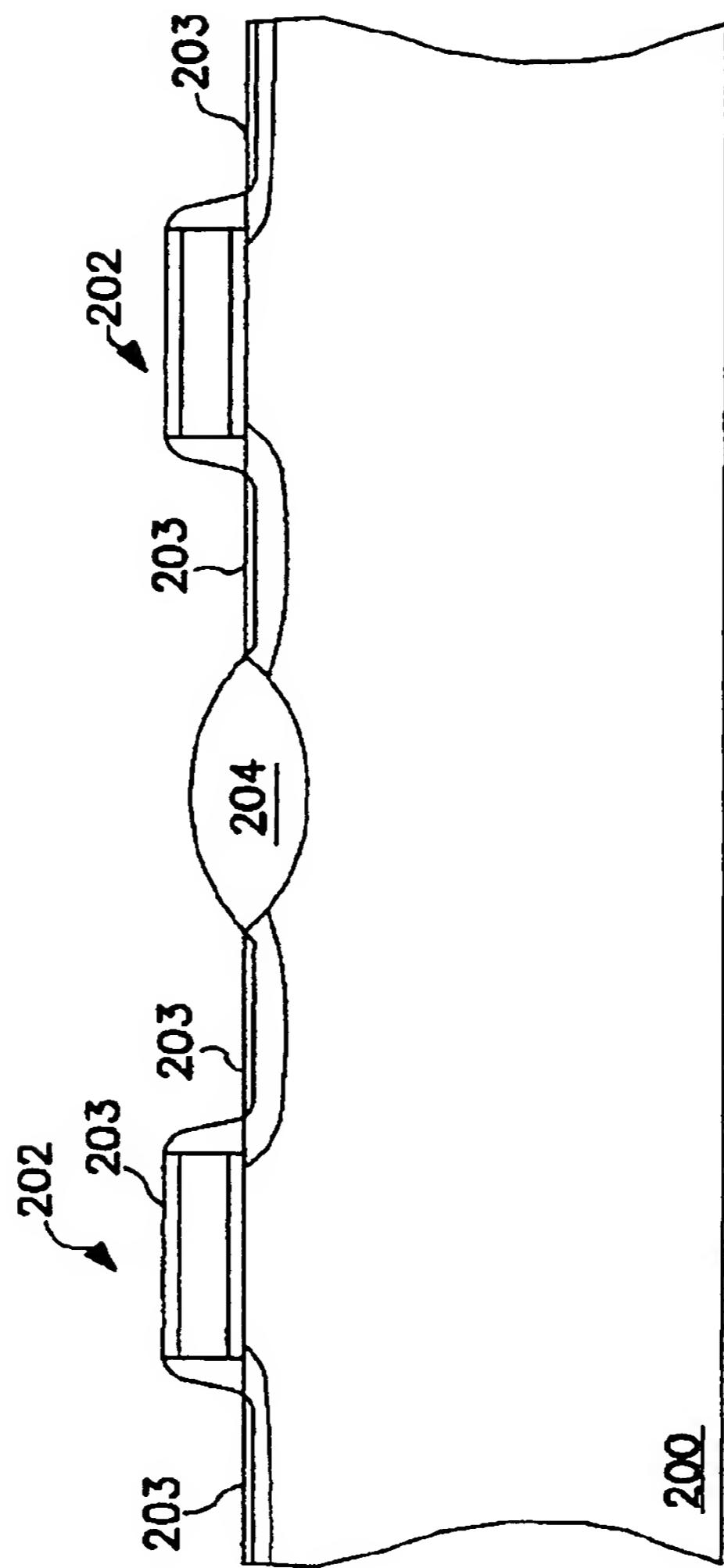


FIG. 2A

【図2】

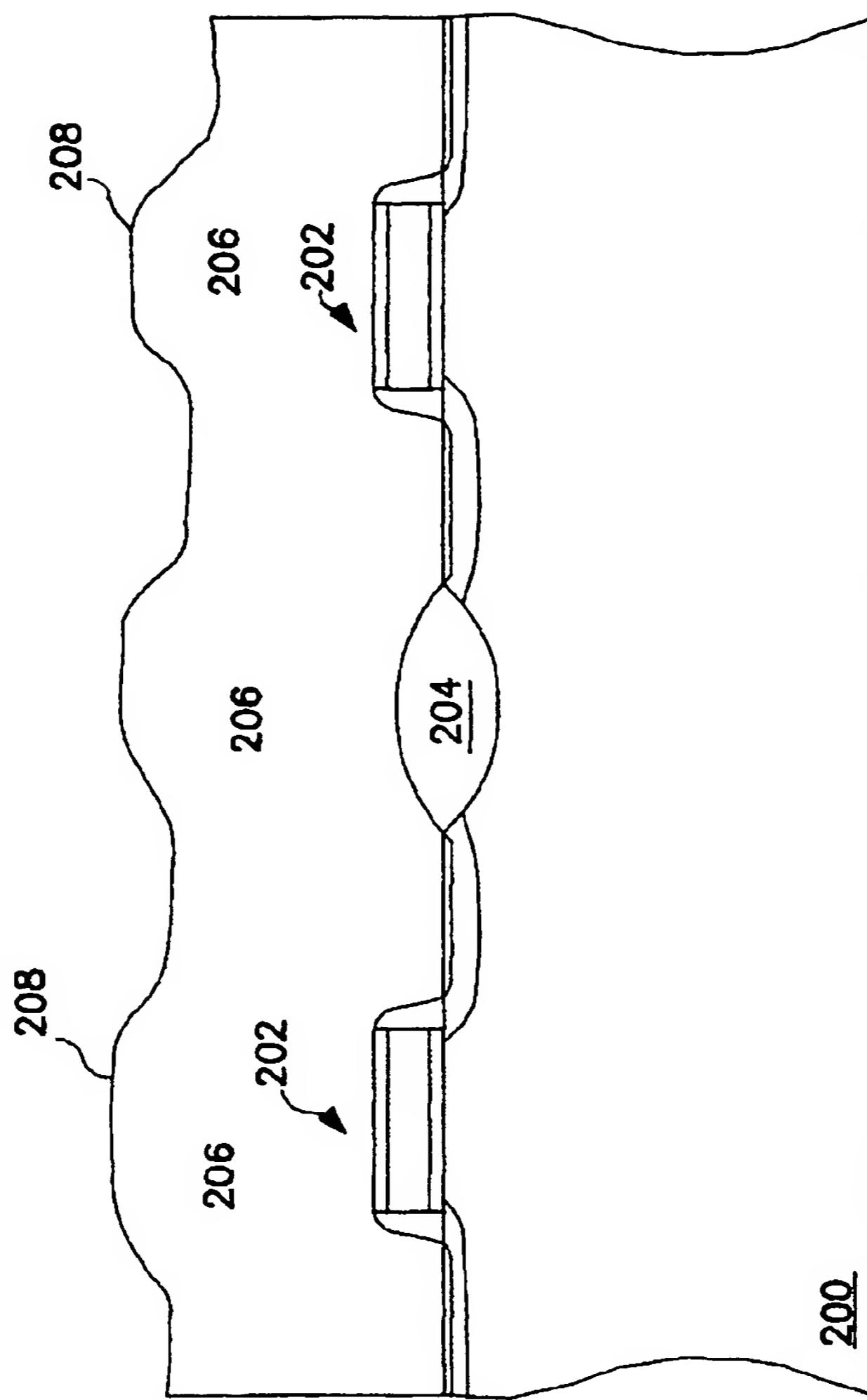


FIG. 2B

【図2】

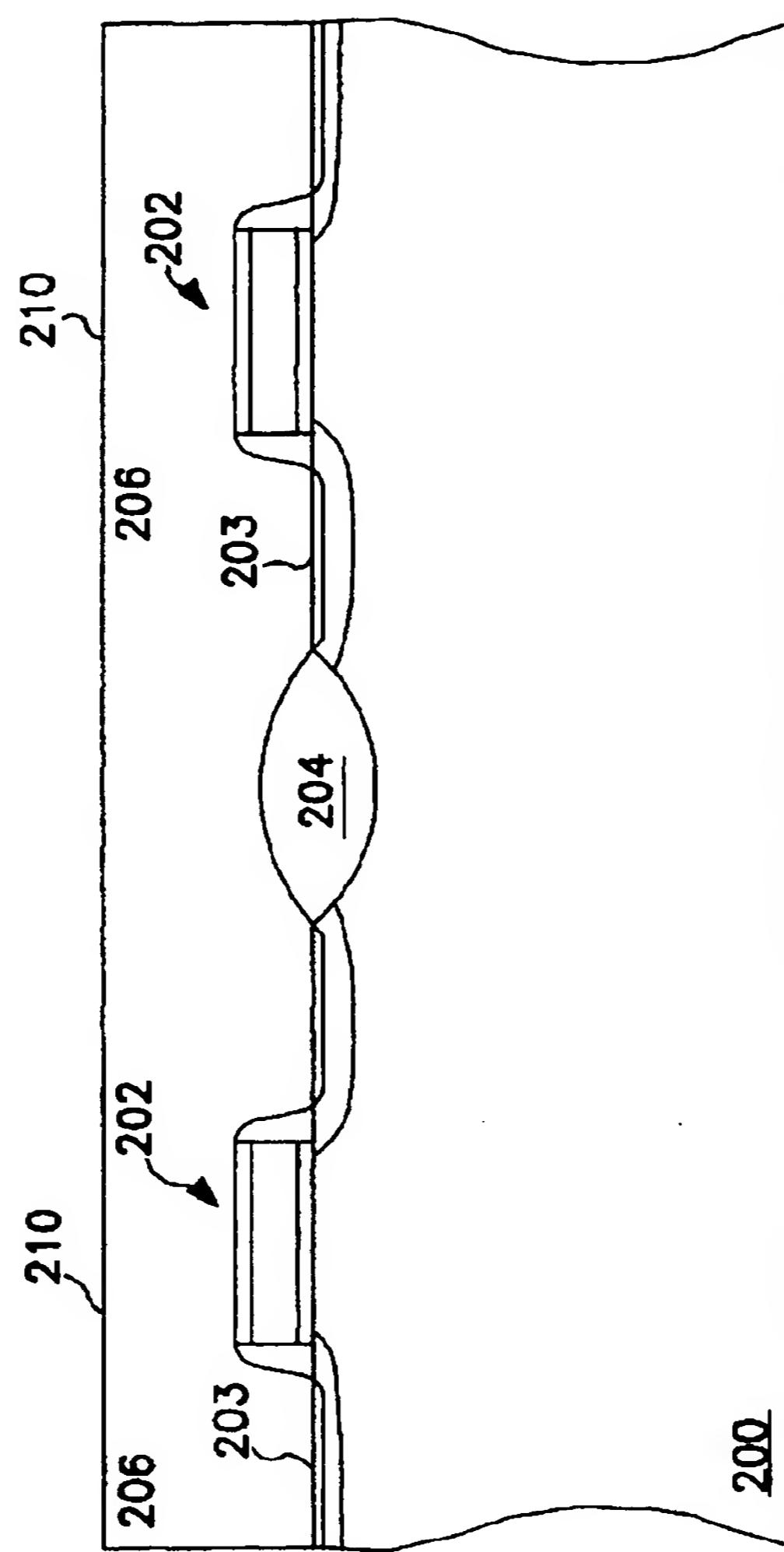


FIG. 2C

【図2】

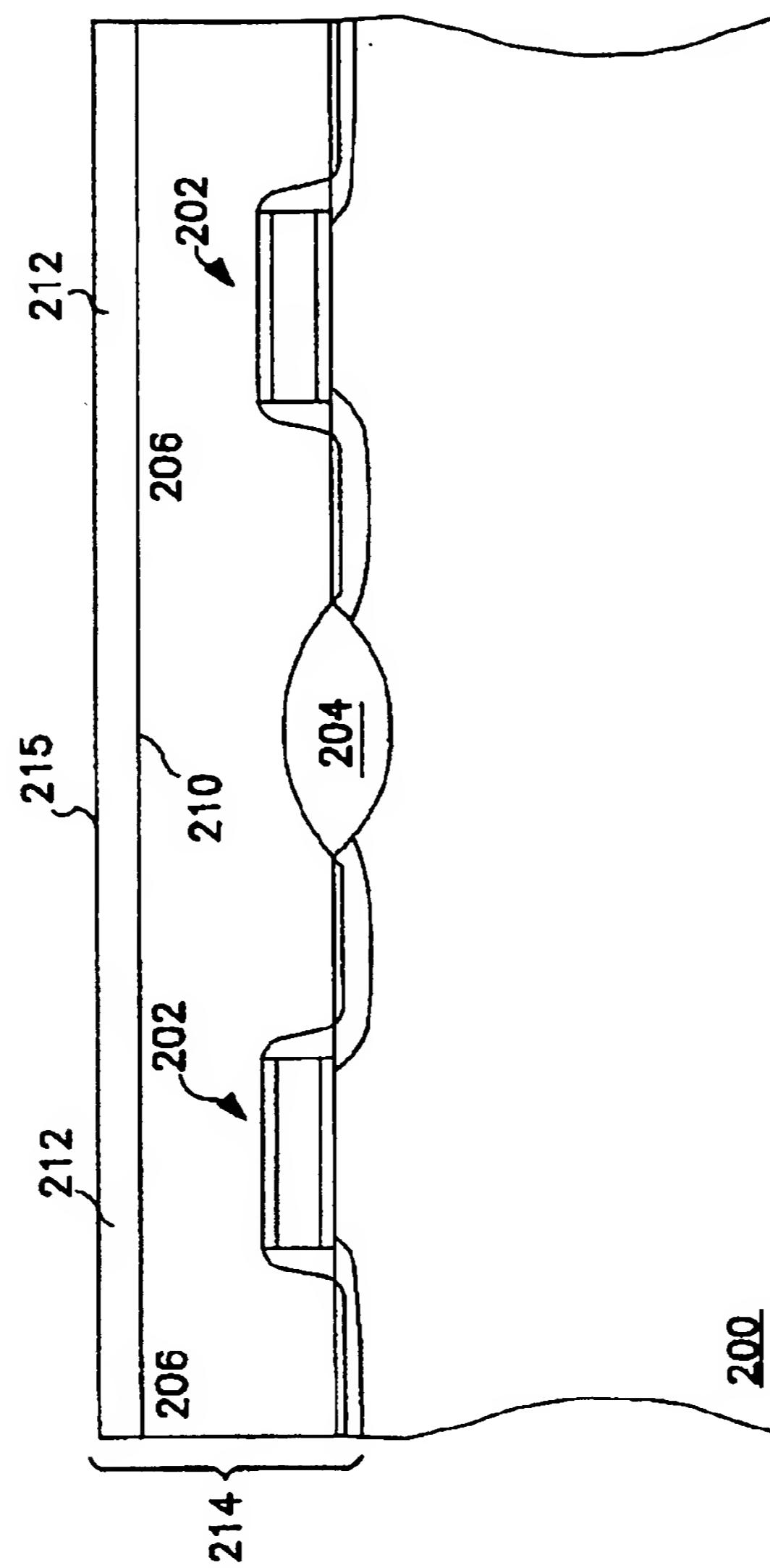


FIG. 2D

【図2】

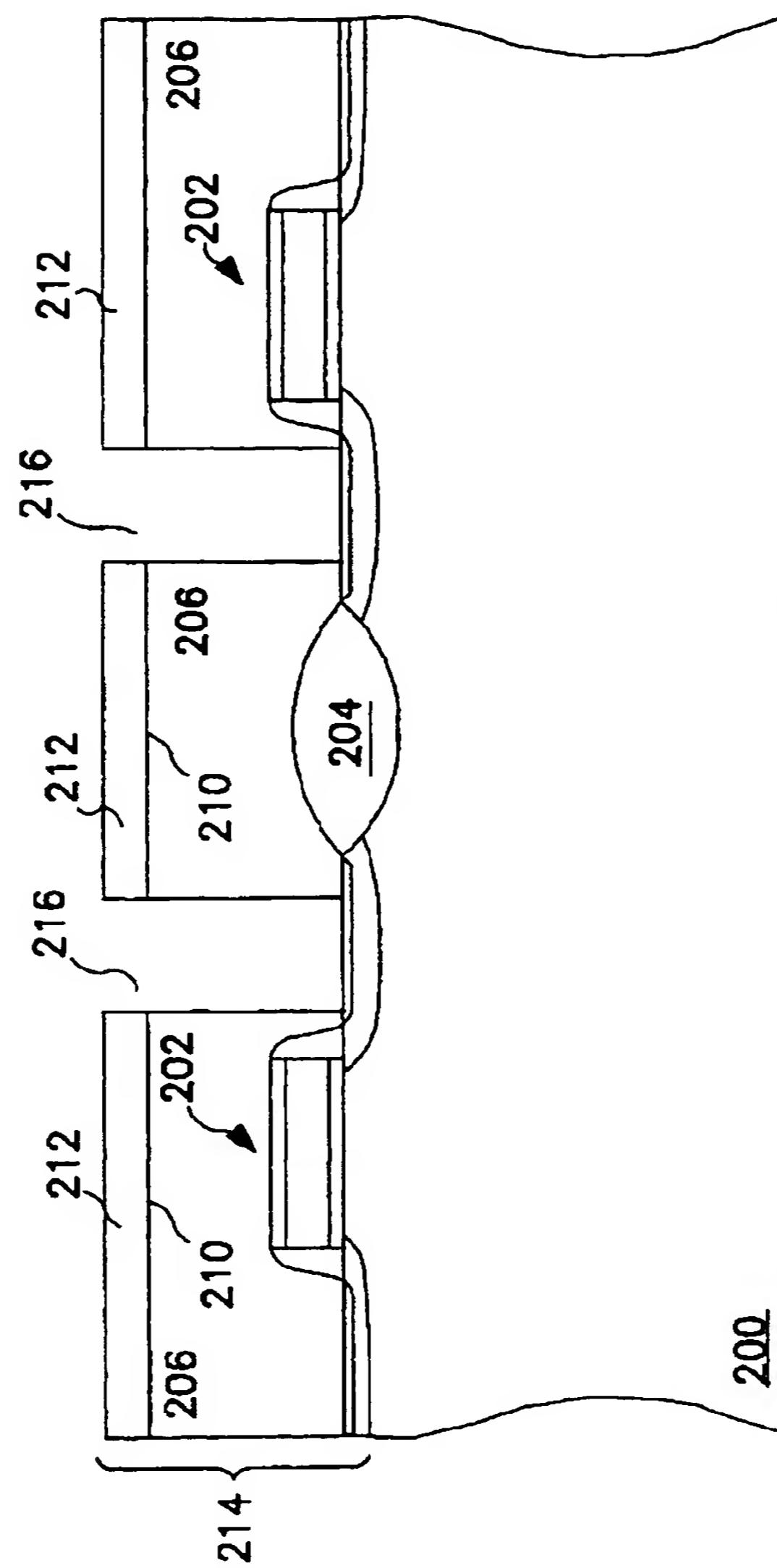


FIG. 2E

【図2】

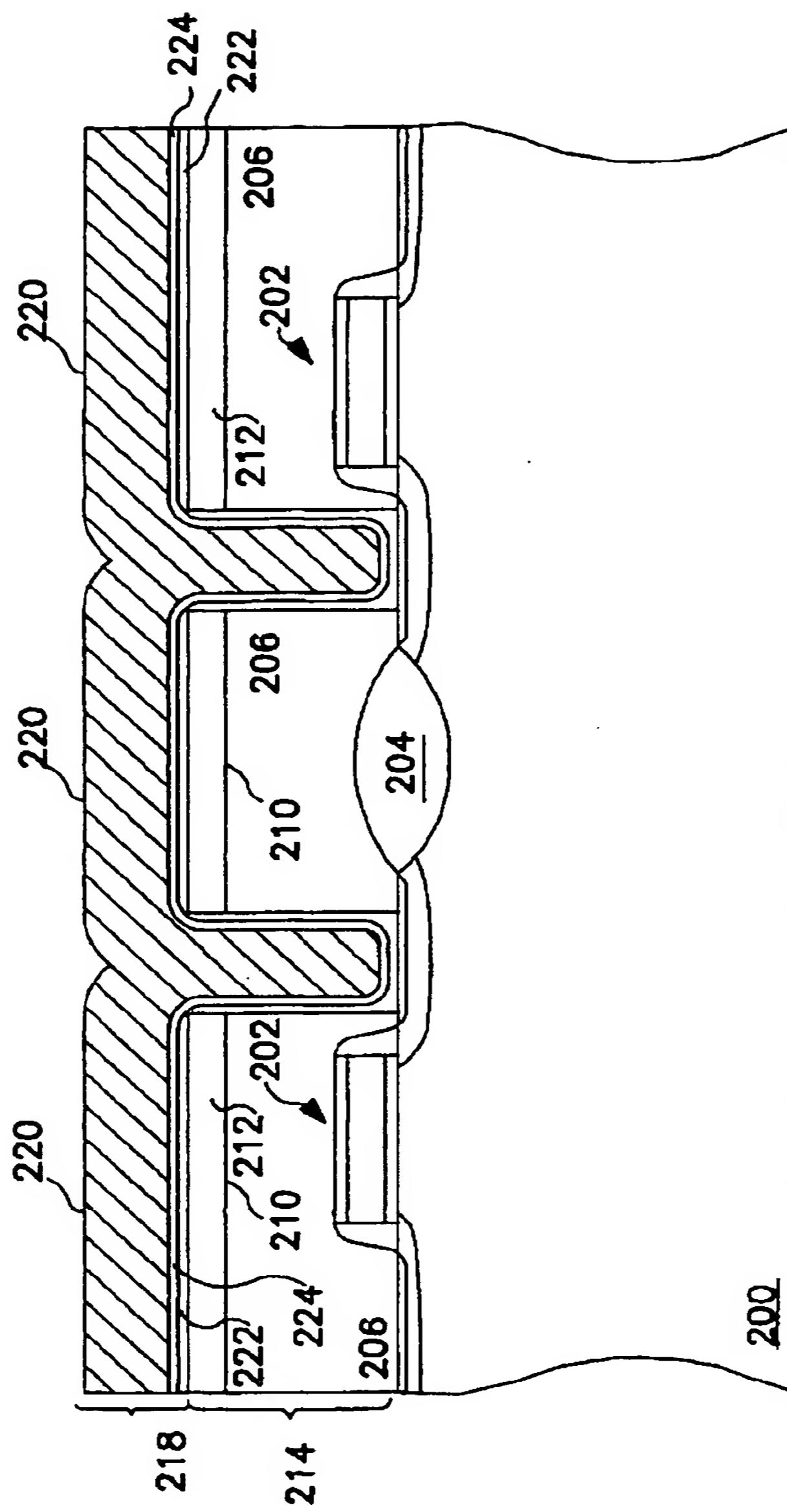


FIG. 2F

【図2】

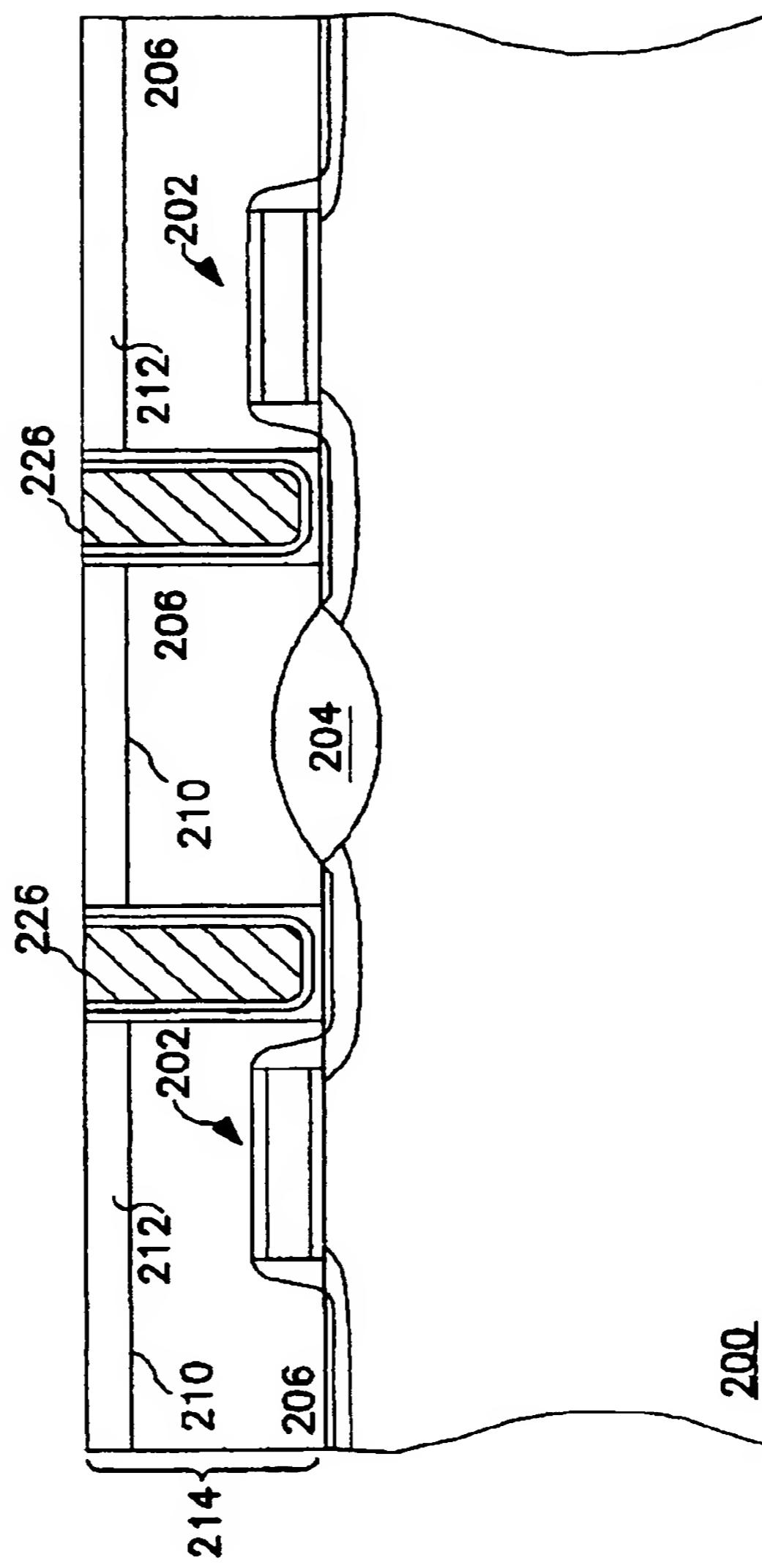


FIG. 2G

【図2H】

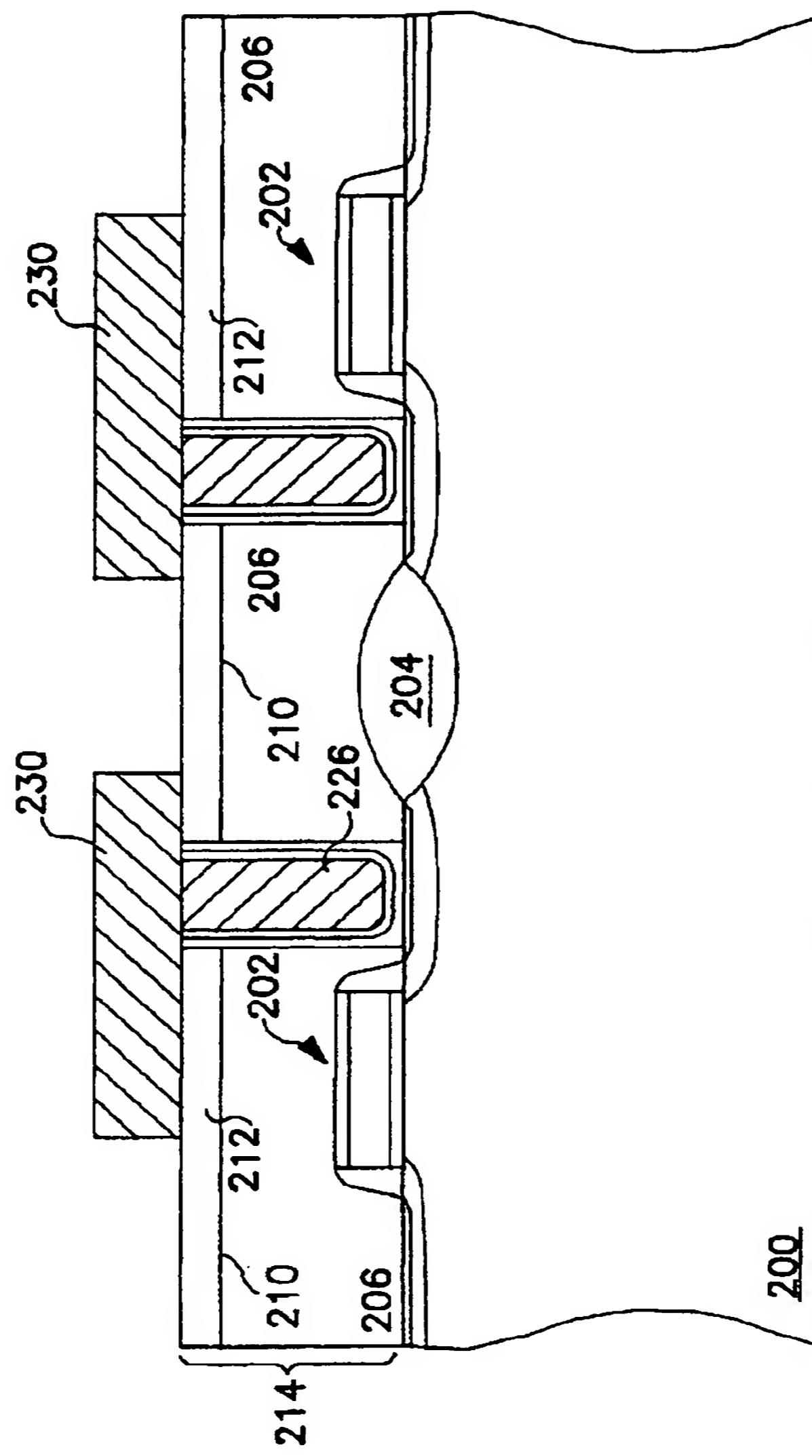
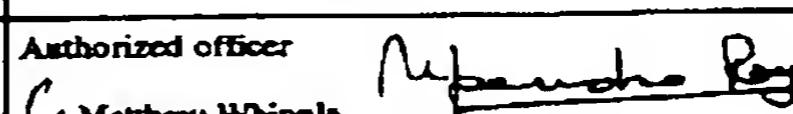


FIG. 2H

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US96/15201
<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
IPC(6) :H01L 21/44 US CL :437/192, 193 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 437/192, 193, 228, 238, 240; 156/636.1		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched WOLF, STANLEY, SILICON PROCESSING FOR THE VLSI ERA, VOL. 2		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) APS: USPAT, JPO		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5,275,963 A (CEDERBAUM ET AL.) 04 JANUARY 1994, COL. 7, LINE 7 TO COL. 8, LINE 47.	1, 2, 5, 6 ----- 3, 4, 7-15
Y	US 5,420,074 A (OHSHIMA) 30 MAY 1995, COL. 4, LINE 65 TO COL. 5, LINE 5.	1, 7, 15
Y	US 5,244,837 A (DENNISON) 14 SEPTEMBER 1993, COL. 4, LINES 40-47.	3, 7, 15
Y	US 5,409,858 A (THAKUR ET AL.) 25 APRIL 1995, COL. 4, LINES 3-33.	13
Y	US 5,164,340 A (CHEN ET AL.) 17 NOVEMBER 1992, COL. 3, LINES 5-15.	13
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
<ul style="list-style-type: none"> <li>* Special categories of cited documents:</li> <li>"A" documents defining the general state of the art which is not considered to be of particular relevance</li> <li>"E" earlier documents published on or after the international filing date</li> <li>"L" documents which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</li> <li>"O" document referring to an oral disclosure, use, exhibition or other means</li> <li>"P" document published prior to the international filing date but later than the priority date claimed</li> <li>"T" later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</li> <li>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</li> <li>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</li> <li>"Z" document member of the same patent family</li> </ul>		
Date of the actual completion of the international search 27 NOVEMBER 1996	Date of mailing of the international search report 27 FEB 1997	
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230	Authorized officer  Matthew Whipple Telephone No. (703) 308-2521	

Form PCT/ISA/210 (second sheet)(July 1992)\*

INTERNATIONAL SEARCH REPORT		International application No. PCT/US96/15201
C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WOLF, STANLEY, SILICON PROCESSING FOR THE VLSI ERA, VOL. 2, (1990) PAGES 194-195 AND 198.	3, 4, 7-9, 15

Form PCT/ISA/210 (continuation of second sheet)(July 1992)\*

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US96/15201

## Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:
  
  
  
  
  
2.  Claims Nos.: 12 because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:  
**THE CLAIM IS NOT COMPLETE AND DOES NOT CONTAIN ANY LIMITATIONS OTHER THAN THE PREAMBLE.**
  
  
  
  
  
3.  Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
  
  
  
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

## Remark on Protest

The additional search fees were accompanied by the applicant's protest.  
 No protest accompanied the payment of additional search fees.

Form PCT/ISA/210 (continuation of first sheet(1))(July 1992)\*

---

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE,  
DK, ES, FI, FR, GB, GR, IE, IT, L  
U, MC, NL, PT, SE), OA(BF, BJ, CF  
, CG, CI, CM, GA, GN, ML, MR, NE,  
SN, TD, TG), AP(KE, LS, MW, SD, S  
Z, UG), UA(AM, AZ, BY, KG, KZ, MD  
, RU, TJ, TM), AL, AM, AT, AT, AU  
, AZ, BA, BB, BG, BR, BY, CA, CH,  
CN, CU, CZ, CZ, DE, DE, DK, DK, E  
E, EE, ES, FI, FI, GB, GE, HU, IL  
, IS, JP, KE, KG, KP, KR, KZ, LC,  
LK, LR, LS, LT, LU, LV, MD, MG, M  
K, MN, MW, MX, NO, NZ, PL, PT, RO  
, RU, SD, SE, SG, SI, SK, SK, TJ,  
TM, TR, TT, UA, UG, US, UZ, VN

(72)発明者 チェン, リーイエ

アメリカ合衆国・94301・カリフォルニア  
州・パロアルト・コロラド アヴェニュー  
211

(72)発明者 プリンス, マシュー・ジェイ

アメリカ合衆国・97210・オレゴン州・ボ  
ートランド・ノースウェスト エバレッ  
ト・2143